

(11)特許出願公開番号

特開2002-353431

(P2002-353431A)

(43)公開日 平成14年12月6日(2002.12.6)

(51) Int.Cl.⁷

識別記号

FI

テーマコート* (参考)

H01L 27/146

H01L 27/14

A 4M118

31/10

31/10

A 5 F 0 4 9

審査請求 未請求 請求項の数7 OL (全 9 頁)

(21)出願番号 特願2001-152387(P2001-152387)

(22)出願日 平成13年5月22日(2001.5.22)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 井上 俊輔

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

(74) 代理人 100090538

弁理士 西山 恵三 (外1名)

Fターム(参考) 4M118 AA10 AB01 BA14 CA03 CA19

FA06 FA34 GC07

5F049 MA01 MB03 MB12 NA04 NB05

PA10 PA14 QA15 RA08 TA12

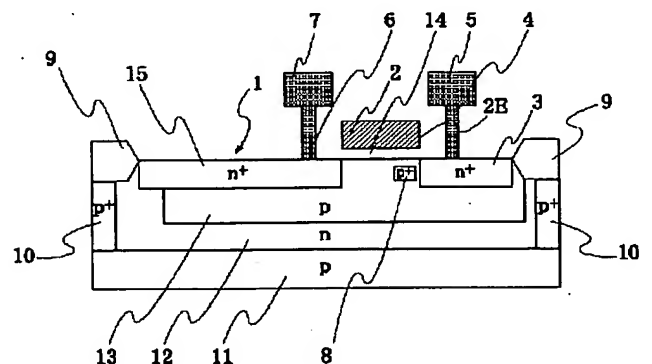
TA13

(54) 【発明の名称】 光電変換装置及びその製造方法

(57) 【要約】

【課題】 しきい値変調型MOSトランジスタを用いた光電変換装置の埋め込み領域を再現性良く形成し、特性の揃った画素、チップを提供する。

【解決手段】 フォトダイオードと絶縁ゲート型トランジスタを有し、そのトランジスタのゲート電極下方のウェル13内に、フォトダイオードで発生した電荷を集めるための高不純物濃度の埋め込み領域8を設け、その埋め込み領域8をゲート電極2のソース側端部に自己整合させる。



(2)

1

【特許請求の範囲】

【請求項1】 フォトダイオードと絶縁ゲート型のトランジスタを有し、前記トランジスタのゲート電極下方のウエル内に、前記フォトダイオードで発生した電荷を集める為の、該ウエルと同導伝型であって該ウエルより高不純物濃度の埋め込み領域が設けられた光電変換装置において、前記埋め込み領域は、前記トランジスタの前記ゲート電極の端部に整合していることを特徴とする光電変換装置。

【請求項2】 前記埋め込み領域は、前記トランジスタの前記ゲート電極の直下にあり、且つ前記トランジスタのソース領域を構成する低不純物濃度領域より前記チャンネル領域側にある請求項1に記載の光電変換装置。

【請求項3】 フォトダイオードと絶縁ゲート型のトランジスタを有し、前記トランジスタのゲート電極下方のウエル内に、前記フォトダイオードで発生した電荷を集める為の、該ウエルと同導伝型であって該ウエルより高不純物濃度の埋め込み領域が設けられた光電変換装置の製造方法において、半導体基体に第1導伝型のウエルを形成する工程、前記トランジスタの前記ゲート電極を形成する工程、前記埋め込み領域を前記トランジスタの前記ゲート電極の端部に整合させるように、前記ウエル内にイオン打ち込みを行う工程、を含むことを特徴とする光電変換装置の製造方法。

【請求項4】 前記埋め込み領域は、前記トランジスタの前記ゲート電極を形成後に斜めイオン打ち込みにより形成され、前記埋め込み領域の少なくとも一部が前記ゲート電極の直下に位置する請求項1に記載の光電変換装置。

【請求項5】 前記トランジスタのソース領域は、前記埋め込み領域を形成すべく打ち込まれたドーパントを打ち消すように反対導伝型のドーパントのイオン打ち込みを行って形成する請求項3に記載の光電変換装置の製造方法。

【請求項6】 前記トランジスタの前記ゲート電極を形成後に、前記埋め込み領域を形成するためのイオン打ち込みを行い、前記MOSトランジスタのゲート電極のサイドスペースを形成し、その後前記MOSトランジスタのソース領域の高不純物濃度領域を形成する請求項3に記載の光電変換装置の製造方法。

【請求項7】 前記トランジスタの前記ゲート電極を形成後に、回転イオン打ち込みにより前記埋め込み領域を、前記トランジスタのソース領域を取り囲むように形成する請求項3に記載の光電変換装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルスチルカメラ、ビデオカメラレコーダー、ファクシミリ、イメ

2

ージスキャナーなどの撮像装置に用いられる光電変換装置及び製造方法、より具体的には閾値変調型のMOS型光電変換装置及びその製造方法に関する。

【0002】

【従来の技術】光電変換装置は近年デジタルスチルカメラ、ビデオカメラレコーダーを中心とする2次元画像入力用の撮像装置、あるいはファクシミリ、スキャナーを中心とする1次元画像読み取り用の撮像装置に適したものとして、急速に需要が高まっている。

10 【0003】これらの光電変換装置としてCCD (Charge Coupled Device: 電荷結合素子) やMOS型の光電変換装置が用いられている。前者は後者と比較して、感度が高くノイズが小さいために、高画質の撮像装置として普及している反面、消費電力が大きく、駆動電圧が高い、汎用の半導体製造プロセスが使えないためにコストが高く、駆動回路等の周辺回路を集積することが困難である。

20 【0004】そのため、今後需要の拡大が予想される携帯機器への応用には、絶縁ゲート型のトランジスタを用いた、いわゆるMOS型の光電変換装置が多く適用されるものと予想できる。そのためにはMOS型光電変換装置の欠点であった画質の低さを改善するため、より少ないトランジスタ数でノイズを抑制できる素子構造が望まれている。

【0005】1画素あたりのトランジスタ数が少ないために、微細な画素でも大きな開口率が得られる光電変換装置として古くよりBCMD (Bulk Charge Modulated Device) が考案されている。

30 【0006】BCMDの改良型として、フォトダイオードで発生した電荷を、MOSトランジスタのチャンネルの直下に埋め込んだ高濃度不純物層に集め、電荷によりMOSトランジスタの閾値を変化させることにより、電荷を検出する手法が考えられる。

【0007】図14～図17は、本発明者が先に発明した改良型のBCMDを説明するための図であり、図14はその一面素の回路図、図15はその平面図、及び図16は図15のAA'線による断面図である。

40 【0008】1は入射した光を光電変換するフォトダイオード、2はフォトダイオード1から発生する電荷により閾値変調されるMOSトランジスタのゲート電極、3はMOSトランジスタのソース領域、4はソース領域を配線につなぐコンタクト領域、5はソース電極、6はMOSトランジスタのドレイン領域を配線につなぐコンタクト、7はドレイン電極、8はフォトダイオード1で発生した電荷を集める高濃度の埋め込み領域、9は素子分離領域である。

50 【0009】そして、チャンネルストップ領域10、ウエル領域13はp型シリコン、ソース領域16、ドレイン領域15はn型シリコンからなる。ウエル領域13は

(3)

3

n型領域12内に形成され、n型領域12はp型基板11上にある。埋め込み領域8はウエル領域12と同じ導伝型でウエル領域12より高濃度のp型シリコンからなる。

【0010】フォトダイオード2は、ウエル領域13の一部がアノードとなり、ドレイン領域15及びn型領域12の一部がカソードとなる構成であり、そこに入射した光により発生した電荷のうち、ホールは、浮遊状態とされたウエル領域13に蓄積され、そして、ホールによってポテンシャルの低い埋め込み領域8に集められ蓄積される。

【0011】ここで、図17を参照して、MOSトランジスタの導伝率がこの蓄積電荷により変調される様子を説明する。図17はMOSトランジスタのゲート電極とその下方の構造を拡大して示している。フォトダイオードで発生したホール21は埋め込み領域8に蓄積される。この電荷はゲート電極2に鏡像電荷22を生成する。この鏡像電荷22により、鏡像電荷22直下のMOSトランジスタ部分の閾値が変化する。この作用により、ゲート電極2に一定の読み出し用ゲート電圧が印加される動作状態において、MOSトランジスタのソース・ドレイン間に流れる電流は、閾値に応じて変化することになる。

【0012】次に図15、図16に示した光電変換装置の製造方法について説明する。p型シリコン11にエピタキシャル成長を行いn型層12を形成する。次に、全体を薄く酸化し、次にシリコン窒化膜を堆積し、素子分離領域の酸化膜/シリコン窒化膜をエッチング除去する。p型イオンをイオン注入し、画素間のチャンネルストップ領域10を形成したのち、LOCOS酸化を行い、素子分離領域9を形成する。レジストパターンニングを形成し、これをマスクとしてイオンを打ち込みウエル領域13を形成する。次に、埋め込み領域を形成するためのレジストパターンを形成し、これをマスクとしたイオン打ち込みを行う。次に、表面にゲート絶縁膜14を形成後、ポリシリコンを堆積しゲート電極形状にパターンニングする。このゲート電極2をマスクとして、イオン注入によりn型のソース領域16、ドレイン領域15を形成する。その後、絶縁膜の堆積、コンタクトの開口、配線金属膜の堆積、パターンニングを行い、コンタクト4、6やソース・ドレイン電極5、6を形成する。

【0013】

【発明が解決しようとしている課題】しかしながら、上記の製造方法では、埋め込み領域8とMOSトランジスタのソース領域16までの距離が製造する光電変換装置のチップ毎、あるいは製造時のウエハのロット毎にばらつくために、光電変換装置の感度がばらついてしまう。その理由は以下に説明するとおり、埋め込み領域8とソース領域16の相対位置が感度を左右するためである。MOSトランジスタの閾値の変化量 ΔV_{th} は以下の様

4

に表わされる：

$$\Delta V_{th} = Q/C \cdots (式1)$$

ただし、Qは埋め込み領域に蓄えらえる電荷量

Cは埋め込み領域に蓄えられる電荷21とその鏡像電荷22間で形成される静電容量

更にCは図17のように、埋め込み領域8の直上のMOSトランジスタのゲート絶縁膜14の容量 C_g と、絶縁膜14の下から埋め込み領域8までのシリコン領域の静電容量 C_{si} の直列容量からなる。従って、

$$C = C_g \cdot C_{si} / (C_g + C_{si}) \cdots (式2)$$

光電変換装置の重要な特性である検出感度は、電荷変換係数、すなわち発生電荷1個で発生する出力電圧、に比例するので、

$$\eta = e/C \cdots (式3)$$

ただし、 η は電荷変換係数、 e は電荷素量、Cは(式2)で定義される容量である。

【0014】埋め込み領域8からゲート電極2までの距離が埋め込み領域からソース電極までの距離より充分短い場合には、図17のように埋め込み領域に蓄えられる電荷21から出る電気力線23は全てゲート電極内の鏡像電荷22に終端するが、埋め込み領域8がソース領域16に近づくにつれ、電荷21から出る電気力線のうち、ソース領域内に終端する割合が大きくなる。従って、ゲート電極内に誘起される鏡像電荷はその分減少する。従って埋め込み領域に集められた電荷が有効にMOSトランジスタの閾値変化を生じさせることができなくなる。これは感度が低下することを意味する。

【0015】以上のように、埋め込み領域8とソース領域16までの距離により光電変換装置の感度がばらついてしまう。埋め込み領域とソース領域の距離を充分とると、MOSトランジスタの寸法が大きくなり、微細な画素構造を実現できなくなる。

【0016】そこで、本発明の目的は、埋め込み領域を再現性よく作製し、素子寸法を小さくしても、チップ毎の感度の不均一性を抑えて、多数の画素亘って特性の揃った閾値変調型のMOSトランジスタを作製し得る光電変換装置の製造方法を提供することにある。

【0017】

【課題を解決するための手段】本願第1発明は、フォトダイオードと絶縁ゲート型のトランジスタを有し、前記トランジスタのゲート電極下方のウエル内に、前記フォトダイオードで発生した電荷を集める為の、該ウエルと同導伝型であって該ウエルより高不純物濃度の埋め込み領域が設けられた光電変換装置において、前記埋め込み領域は、前記トランジスタのゲート電極の端部に整合していることを特徴とする。

【0018】本願第2発明は、フォトダイオードと絶縁ゲート型のトランジスタを有し、前記トランジスタのゲート電極下方のウエル内に、前記フォトダイオードで発生した電荷を集める為の、該ウエルと同導伝型であって

50

(4)

5

該ウェルより高不純物濃度の埋め込み領域が設けられた光電変換装置の製造方法において、半導体基体に第1導伝型のウェルを形成する工程、前記MOSトランジスタのゲート電極を形成する工程、前記埋め込み領域を前記MOSトランジスタのゲート電極の端部に整合させるように前記ウェル内にイオン打ち込みを行う工程を含むことを特徴とする。

【0019】

【発明の実施の形態】（実施形態1）本発明の実施形態1による光電変換装置について、図1～図4を参照して説明する。

【0020】図1は光電変換装置の1画素分の断面図である。平面的な構成と回路構成は、図14、図15と同様である。

【0021】1は入射光により電荷（ここではホール）を発生・蓄積することができるフォトダイオード、2は発生キャリアによるチャネル導伝率変調を行う読み出し用の絶縁ゲート型のトランジスタ（MOSトランジスタ）のゲート電極である。ここで、フォトダイオード1は、MOSトランジスタと一体的に構成され、p型のウェル13とn型のドレイン領域15とn型領域12とによりpn接合が形成された埋め込み型フォトダイオードとなっている。

【0022】このゲート電極2は、例えば不純物がドーブされたポリシリコンや、ポリシリコンと金属或いは金属珪化物などの積層体を用いることができる。3は上記MOSトランジスタのn型半導体からなるソース領域であり、このソース領域3から変調されたMOSトランジスタの出力電流を撮り出すことができる。4は不図示の絶縁層のコンタクトホール内に充填されたアルミニウムやタングステンなどの導伝体からなるソースコンタクト、5はアルミニウムや銅などの導伝体からなるソース電極（ソース配線）である。6は不図示の絶縁層のコンタクトホール内に充填されたアルミニウムやタングステンなどの導伝体からなるドレインコンタクト、7はアルミニウムや銅などの導伝体からなるドレイン電極（ドレイン配線）でMOSトランジスタを駆動するための電源に接続される。8は埋め込み領域であり、高不純物濃度のp型半導体からなる。この埋め込み領域8はゲート電極2のソース側端部2Eに整合している。

【0023】9は酸化シリコンなどからなる素子分離領域で、隣接する画素とのクロストークを防止している。10は素子分離のための高不純物濃度のp型半導体からなるチャンネルストップ領域、11はp型半導体からなる基板、12はn型半導体からなる領域であり、p型半導体からなるウェル13を画素毎に独立するように、ウェル13を取り囲んでいる。14は酸化シリコンなどからなるゲート絶縁膜、15はドレインとなる高不純物濃度のn型半導体からなるドレイン領域、ソース電極5が信号出力用の配線となっている。

6

【0024】つぎに、この光電変換装置の動作を簡単に説明する。

【0025】光電変換の動作は、リセット→蓄積→読み出しの順で行われ、この動作が繰り返される。リセット動作では、p型のウェル領域13、及びp+型の埋め込み領域8に残っているホールを全て基板11に排出する。そのために、基板11に対し、正のバイアスとなるリセット用バイアス電圧（例えば5～10V程度）をドレイン電極7と、MOSトランジスタのゲート電極2とに印加する。このとき、n型の領域12は上下のpn接合界面から延びた空乏層がパンチスルーして空乏化するので、p型のウェル13、及びp+型の埋め込み領域8に残っているホールはすべて基板11に吐き出され、p型のウェル13、及びp+型の埋め込み領域8も空乏化するので、キャリアの熱的ゆらぎによるランダムノイズは発生しない。

【0026】リセット後の蓄積動作では、ドレイン電極7にフォトダイオード1を逆バイアスしうる蓄積用バイアス電圧（例えば3～5V）を印加する。又、MOSトランジスタのチャネルは蓄積状態又は空乏状態になるようゲート電極2に印加するゲート電圧をMOSトランジスタの閾値以下の電圧（例えば－3ボルト～＋1ボルト）に設定する。この状態で、光をフォトダイオード1に入射させる。この入射光により発生した電荷、即ち電子－ホール対のうち電子はドレイン領域15及びドレイン電極7に吸い出され、ホールは拡散とドリフトにより、p型ウェル13を通して埋め込み領域8に集まる。本実施の形態では、複数の埋め込み領域8のいずれにもホールが集まる。また、隣接する埋め込み領域8間の隙間は、ホールがいずれかの埋め込み領域8からのポテンシャル勾配に引き寄せられる程度に小さく設計する。読み出し動作では、埋め込み領域8に蓄積されたホールにより誘起されるMOSトランジスタの導伝率の変調をMOSトランジスタの電流としてソース電極5より読み出す。読み出し動作のために、MOSトランジスタのゲート電極2に印加される電圧を閾値電圧以上に設定する。光電変換装置としての電流－電圧特性の直線性を確保するため、MOSトランジスタが5極管領域で動作するようにゲート電圧を決める。

【0027】本実施の形態では、必要に応じて埋め込み領域8を複数に分割すれば、電荷検出時の静電容量を小さくすることができ、光電変換装置としての感度が向上する。

【0028】埋め込み領域8の分割方法としては、MOSトランジスタのチャネル幅方向（ゲート幅方向）に分割することで、効率的に感度を上昇させることができる。

【0029】MOSトランジスタのソース領域3のうちフォトダイオード1に近い側は入射光により発生した電荷が拡散・ドリフトして来る方向である。埋め込み領域

(5)

7

8がない部分では、電荷を埋め込み領域8で捉えることができず、MOSトランジスタのソース領域3内で消滅してしまう。ソース領域3のうちフォトダイオード1がない側ではこのような損失が起こりにくい。埋め込み領域8の大きさと、密度をフォトダイオードとMOSトランジスタのソース領域との位置関係に応じて変化させることにより、感度を最大にする設計が可能となる。

【0030】次に、図2～図4を参照して、本発明の実施形態による光電変換装置の製造方法について説明する。

【0031】p型の単結晶シリコンからなる半導体基板11にエピタキシャル成長を行いn型層12を形成する。n型層厚さは長波長側の分光感度を決めるので、検出すべき光に応じてその厚さは決定される。次に素子分離領域9を形成するために、全体を薄く酸化し、次にシリコン窒化膜を堆積し、素子分離領域9を形成すべき部分の酸化膜／シリコン窒化膜をエッチングにより除去する。素子分離としても働くチャンネルストップ領域10を形成するために、ボロンのようなp型不純物のイオンをイオン打ち込み装置を用いて打ち込み、LOCOS酸化を行い、素子分離領域9、10を作製する。その後、感光性樹脂からなるレジストを塗布し、所定のパターンに露光し、現像した後、ウェル領域13を形成すべき部分にp型不純物を打ち込み、熱処理を行う。ウェル領域13のイオン打ち込み量及びイオン打ち込み後の熱処理は、リセット動作時に所望の電圧で空乏化でき、フォトダイオードの飽和電荷が所望の値となるよう決める。

【0032】次にゲート電極を作製するために、ゲート絶縁膜14を形成したのちポリシリコンのような導伝体を堆積させ、パターニングを行いゲート電極2を形成する。こうして、図2に示す構造体を得られる。

【0033】次にレジストを塗付し、パターニングにより埋め込み領域を形成するための領域のレジストを除去する。このレジストパターンPRはMOSトランジスタのドレイン領域を形成すべき領域は完全に覆うが、ゲート電極の図中右側端部2Eとソース領域を形成すべき領域は露出させるパターンである。次にボロンのイオン打ち込みにより、p型の埋め込み領域8を形成する。この時のイオンはソース側からみてゲート方向にイオンが入射するように斜めイオン打ち込みを行う。斜めイオン打ち込みにより埋め込み領域8の一部をゲート電極2の鉛直方向下方(直下)に形成することができる。イオン打ち込みの傾斜角度 θ として基板表面の法線に対して $10^\circ \sim 40^\circ$ が適当である。また、埋め込み領域8の深さはMOSトランジスタの実効チャンネルより深い位置とする。埋め込み領域8の濃度は、ホールを蓄積できるようウェル領域13より充分高濃度の必要があるが、あまり高ドーズで打ち込むと後のソース領域3形成時のイオン打ち込みによりp型ドーパントをn型ドーパントで打ち消すことができなくなるので、後に形成されるソース領

8

域3の濃度の $1/10$ 以下の濃度であることが望ましい。こうして、図3に示す構造体を得られる。

【0034】レジストパターンPRを除去した後、ゲート電極をマスクとして、イオン打ち込み及び熱処理によりn型のソース領域3、ドレイン領域15を形成する。埋め込み領域8形成のために注入したp+型領域のうち、ゲート電極2でマスクされていない部分はn+型がp+型を打ち消すように、p型ドーパントの打ち込み時よりもイオン打ち込みの深さを調整し、ドーズ量をより多く設定する。その結果、p+型領域のうちゲート直下の部分だけがp+型領域として残り、電荷を集める埋め込み領域8となる。こうして、図4に示す構造体を得られる。こうして、埋め込み領域8はゲート電極2の端部2Eに自己整合する。その後、絶縁膜の堆積、コンタクトの開口、配線金属膜の堆積、パターニングを繰り返して、図1に示したような構造体を得られる。その後は必要に応じて不図示の金属遮光層を形成する。カラー用光電変換装置を作製する場合はこの後、カラーフィルタ層形成、マイクロレンズを形成する。

【0035】(実施形態2) 図5は本実施形態による光電変換装置の断面図である。コンタクトの開口、配線などは省略して図示している。本実施形態はMOSトランジスタのソース、ドレイン構造を所謂LDD(Lightly Doped Drain)構造としたものである。LDD構造を形成するためにゲート電極2の側壁に絶縁膜によるサイドスペーサ20が形成されている。

【0036】p型シリコン11にエピタキシャル成長を行いn型層12を形成する。次に素子分離領域を形成するために、全体を薄く酸化し、次にシリコン窒化膜を堆積し、素子分離領域の酸化膜／シリコン窒化膜をエッチング除去する。p型ドーパントのイオンを打ち込み、画素間の高濃度のチャンネルストップ領域10を形成したのち、LOCOS酸化を行い、素子分離領域9を形成する。レジストパターンPRとイオン打ち込みによりウェル領域13を形成する。ウェル領域13のイオン打ち込みドーズ量及びイオン打ち込み後の熱処理は、リセット動作時に所望の電圧で空乏化でき、フォトダイオードの飽和電荷が所望の値となるよう決める。MOSトランジスタのチャンネルの不純物プロファイルを決定するために、必要に応じ、イオン注入によりp型、n型の不純物層をチャンネル近辺に形成する。表面にゲート絶縁膜14を形成後、ポリシリコンを堆積し、ゲート電極をパターニングする。次にレジストPRを塗付し、パターニングにより埋め込み領域を形成する領域のレジストを除去する。レジストパターンPRはMOSトランジスタのドレイン領域は完全に覆うが、ゲート電極のソース側端部2Eとソース領域は露出させている。次にボロンのイオン打ち込みにより、p型の埋め込み領域8を形成する。イオンはソース側からみてゲート方向に斜めに入射するように斜めイオン打ち込みを行う。斜めイオン打ち込みにより

(6)

9

より埋め込み領域の一部をゲート電極直下に形成することができる。注入の傾斜角度 θ として $10^\circ \sim 40^\circ$ が適当である。また、埋め込み領域8の深さはMOSトランジスタのチャンネルより深い位置とする。埋め込み領域8の濃度は、ホールを蓄積できるようウエル領域13より充分高濃度の必要があるが、あまり高ドーズで打ち込むと後のソース領域形成時のイオン打ち込みによりp型ドーパントをn型ドーパントで打ち消すことができなくなるので、ソース領域の濃度の $1/10$ 以下の濃度であることが望ましい。こうして、図6に示す構造体を得られる。

【0037】ここまでは前述した実施形態1と同じである。

【0038】次にレジストPRを除去した後、リンのイオンを打ち込んでn型のソース・ドレインの低不純物濃度領域、即ち電界緩和層15b、16c、16d、16eを形成する。この時、n型のイオン注入によりp⁺領域8のうち、リンを打ち込んだ領域はp⁺型がほぼ打ち消されるように、あらかじめp⁺層の深さ、濃度を設定しておく。従って、ソース領域の電界緩和領域は、シリコン表面に近くn型層として残る領域16c、埋め込み領域の一部を打ち消しほぼ中性あるいはウエル領域13とほぼ同じ濃度の領域16d、埋め込み領域がなくドレイン側と同じ濃度の領域16eの3つの領域に分かれる。埋め込み領域8はゲート電極下にゲート電極の端部に自己整合的に形成される。次に、CVD法によりシリコン酸化膜等を堆積した後、異方性エッチングによりゲート電極2の側壁だけにシリコン酸化膜を残し所謂サイドスペーサ20を形成する。こうして、図7の構造体を得られる。

【0039】ゲート電極2をマスクとして、イオン打ち込みによりn型の高濃度のソース領域16a、ドレイン領域15aを形成する。低濃度の電界緩和領域は高濃度のn型領域15a、16aの形成によって、サイドスペーサ20の下だけに残り、こうして、図5に示したように、ソース電界緩和領域16b、ドレイン電界緩和領域15bが形成される。こうして、埋め込み領域8やソース領域3は、ゲート電極のソース側端部2Eに自己整合的に作り込まれる。

【0040】その後、絶縁膜の堆積、コンタクトの開孔、配線金属膜の堆積、パターニングを繰り返し、最後に不図示の金属遮光層を形成して完成する。カラー用光電変換装置を作製する場合はこの後カラーフィルタ層形成、マイクロレンズを形成する。

【0041】(実施形態3) 図8は閾値変調されるMOSトランジスタがリング状とされた光電変換装置の一面素の平面図を示したものである。1は入射光により電荷を発生・蓄積するフォトダイオード、2aは発生キャリアによるチャンネル導伝率変調を行う読み出し用MOSトランジスタのゲート電極、2bはゲート配線、3は上記

10

MOSトランジスタのソース領域、4はソースコンタクト、5はソース電極である。ゲート電極2aはリング状でソース領域3を取り囲む。6はMOSトランジスタのドレインコンタクト、7はドレイン電極である。8は複数個の埋め込み領域で、ゲート電極の形状に沿って、ソース領域を取り囲む様に分割されて配置されている。9は素子分離領域である。図9は図8のBB'断面である。10は素子分離のための高濃度のチャンネルストップ領域、11はシリコン基板、12はウエル13を取り囲むウエルと反対導伝型領域、14はMOSトランジスタのゲート絶縁膜、15はドレイン領域、16はソース領域である。

【0042】本実施形態ではゲート電極2aをリング状にし、ゲート電極2aの形状に沿って、埋め込み領域8もソース領域15を囲む様に配置されている。ゲート電極をリング状にするのは、フォトダイオードから拡散してきたホールを確実に集めることができると同時に、MOSトランジスタのゲート幅を大きくとることができるので、より大きな出力負荷を駆動できる。そのため読み出しの高速化に有効である。

【0043】次に、製造方法について説明する。

【0044】ゲート電極を形成する工程までは前述の実施形態1、2とまったく同じである。すなわち、p型シリコン11にエピタキシャル成長を行いn型層12を形成する。次に素子分離領域を形成するために、全体を薄く酸化し、次にシリコン窒化膜を堆積し、素子分離領域の酸化膜/シリコン窒化膜をエッチング除去する。p型ドーパントのイオンを打ち込みし、画素間の高濃度のチャンネルストップ領域10を形成したのち、LOCOS酸化を行い、素子分離領域9を完成する。レジストパターンニングとイオン打ち込みによりウエル領域13を形成する。ウエル領域13のイオン打ち込みのドーズ量及びイオン打ち込み後の熱処理は、リセット動作時に所望の電圧で空乏化でき、フォトダイオードの飽和電荷が所望の値となるよう決める。MOSトランジスタのチャンネル領域の不純物プロファイルを決定するために、必要に応じ、イオン打ち込みによりp型、n型の不純物層をチャンネル近辺に形成する。表面にゲート絶縁膜14を形成後、ポリシリコンを堆積し、ゲート電極をパターンニングする。こうして図10に示す構造体を得られる。次に、実施形態1と同様に、レジストを塗付し、パターニングにより埋め込み領域8を形成する領域のレジストを除去する。レジストパターンPRはMOSトランジスタのドレインとなる領域を完全に覆うが、ゲート電極のソース側端部2Eとソースとなる領域は露出させている。次にボロンのイオン打ち込みにより、p型の埋め込み領域8を形成する。イオン打ち込みは、シリコン表面に対して傾斜をつけかつ法線に対しウエハを回転させる、所謂回転イオン打ち込み法でおこなう。この方法により、ソース領域16を囲むすべての方向に対し、ゲート電極直下

(7)

11

の一定の位置に埋め込み領域を形成することができる。イオン打ち込みの傾斜角度 θ として $10^\circ \sim 40^\circ$ が適当である。また、埋め込み領域の深さはMOSトランジスタのチャネルより深い位置とする。埋め込み領域の濃度は、ホールを蓄積できるようウェル領域13より充分高濃度の必要があるが、あまり高ドーズで注入すると後のソース領域形成時のイオン打ち込みによりp型ドーパントをn型ドーパントで打ち消すことができなくなるので、ソース領域の濃度の $1/10$ 以下の濃度であることが望ましい。こうして、図11の構造体を得られる。

【0045】レジストPRを除去した後、ゲート電極2aをマスクとして、イオン打ち込みによりn型のソース領域16、ドレイン領域15を形成する。埋め込み領域形成のために注入したp+型領域のうち、ゲート電極2aでマスクされていない部分はn+型がp+型を打ち消すように、イオン打ち込みの深さ、ドーズ量を決定する。その結果、p+型領域のうちゲート直下の部分だけがp+型領域として残り、電荷を集める埋め込み領域となる。こうして、図12に示す構造体を得られる。埋め込み領域8は、こうしてゲート電極のソース側端部2E、ここではリング状ゲート電極の内側エッジに、自己整合する。その後、絶縁膜の堆積、コンタクトの開口、配線金属膜の堆積、パターニングを繰り返し、最後に不図示の金属遮光層を形成して完成する。カラー用光電変換装置を作製する場合はこの後カラーフィルタ層形成、マイクロレンズを形成する。

【0046】又、MOSトランジスタのソースドレインをLDD構造とすることも可能である。その場合は実施形態2に示した方法と同じ方法で製造することが可能である。

【0047】各実施形態によれば、埋め込み領域がゲート電極に整合しているので、感度のばらつきの制御性が向上した閾値変調型光電変換装置を得ることができる。詳しくは、感度ばらつきの大きな要因であった、埋め込み領域の寸法ばらつき、位置ばらつきは、いずれもゲート電極のソース型の端部に対する自己整合形成により、簡便に抑制できるため、製造コストを上昇させることなく、高感度の光電変換装置を小さいばらつきで提供することが可能となる。

【0048】又、本発明はマイクロレンズを使用しない光電変換装置、あるいはカラーフィルターを使用しない白黒の光電変換装置でも有効に作用する。

【0049】図13は、本発明の光電変換装置を採用したデジタルカメラのような撮像装置の模式的構成図である。

【0050】31はレンズのような結像光学系、32は上述した各形態の光電変換装置、33は制御回路、34はメモリである。被写体の像が結像光学系31を通して光電変換装置32の画素に露光され、電気信号に変わる。得られた像の電気信号はコントローラにより適当な

12

画像処理が施され、メモリに蓄積される。

【0051】

【発明の効果】本発明によれば、埋め込み領域とゲート電極との相対位置を再現性よく作製し、チップ或いは多数の画素亘って特性の揃った閾値変調型のMOSトランジスタを作製することができる。

【0052】こうして、微細画素に適した閾値変調型のMOS型光電変換装置の特性が向上することにより、携帯機器、デジタルカメラなどの応用を拡大することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1に係る閾値変調型光電変換装置の断面図である。

【図2】本発明の実施形態1に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図3】本発明の実施形態1に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図4】本発明の実施形態1に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図5】本発明の実施形態2に係る閾値変調型光電変換装置の断面図である。

【図6】本発明の実施形態2に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図7】本発明の実施形態2に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図8】本発明の実施形態3に係る閾値変調型光電変換装置の断面図である。

【図9】本発明の実施形態3に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図10】本発明の実施形態3に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図11】本発明の実施形態3に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図12】本発明の実施形態3に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図13】本発明の閾値変調型光電変換装置を用いた撮像装置の模式図である。

【図14】閾値変調型光電変換装置の画素回路構成である。

【図15】閾値変調型光電変換装置の画素平面図である。

【図16】閾値変調型光電変換装置の画素断面図である。

【図17】閾値変調型光電変換装置の画素断面の部分拡大図である。

【符号の説明】

1 フォトダイオード

2, 2a MOSトランジスタのゲート電極

3, 16 MOSトランジスタのソース領域

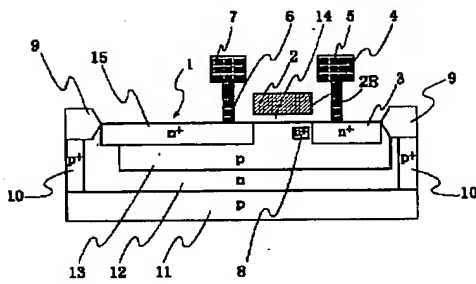
4 ソースコンタクト

(8)

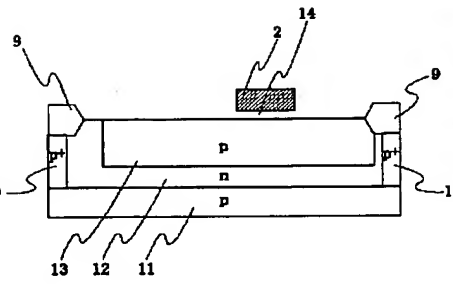
- 5 ソース電極
6 ドレインコンタクト
7 ドレイン電極
8 埋め込み領域

- 9 素子分離領域
13 ウェル領域
14 MOSトランジスタゲート絶縁膜
15 ドレイン領域

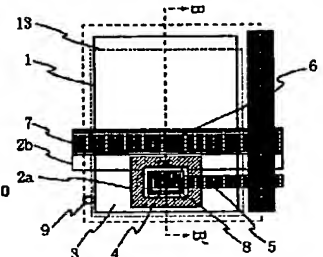
【図1】



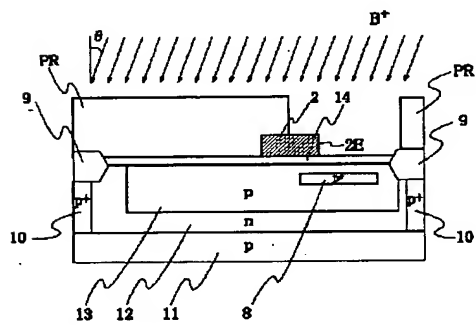
【図2】



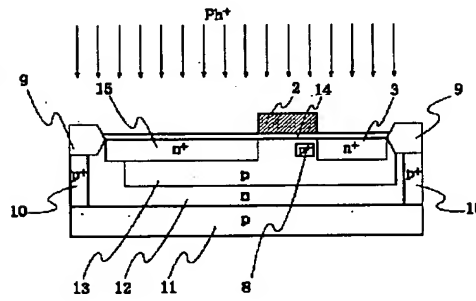
【図8】



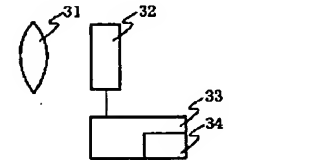
【図3】



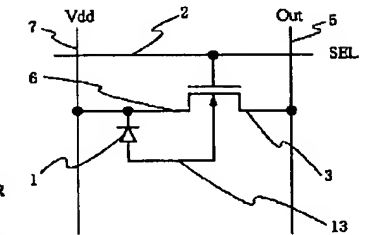
【図4】



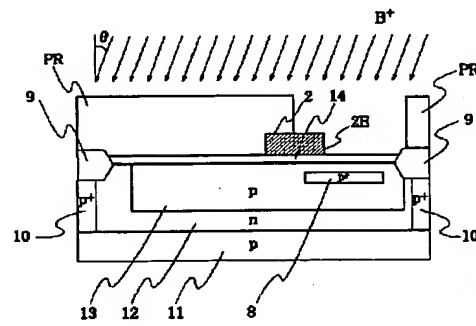
【図13】



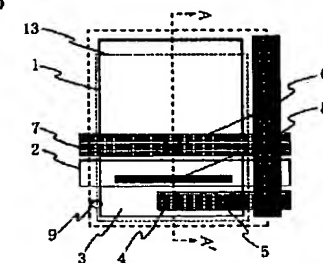
【図14】



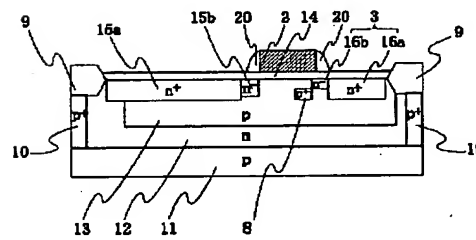
【図6】



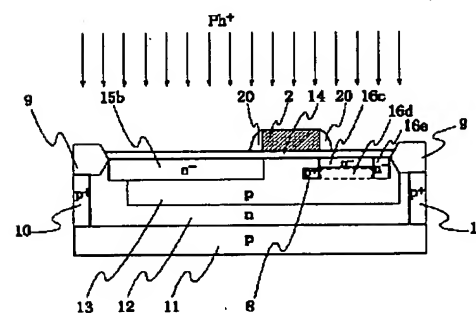
【図15】



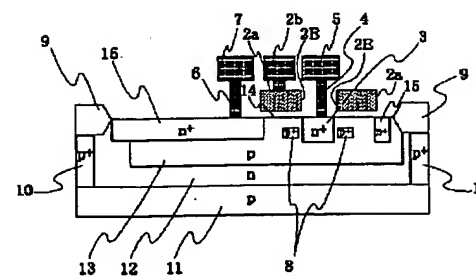
【図5】



【図7】

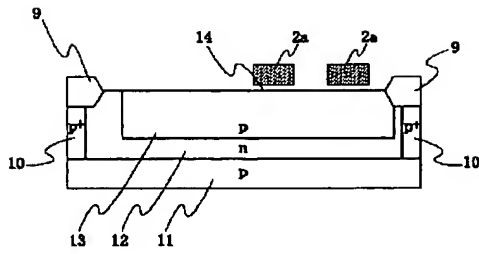


【図9】

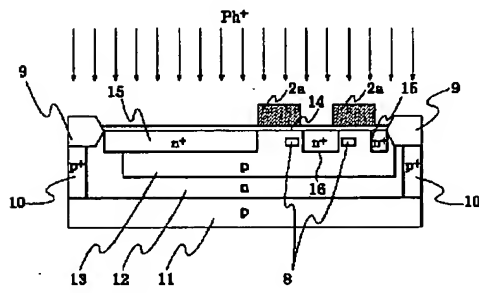


(9)

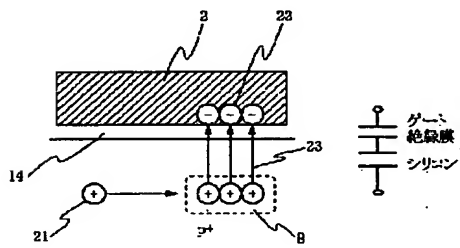
【図10】



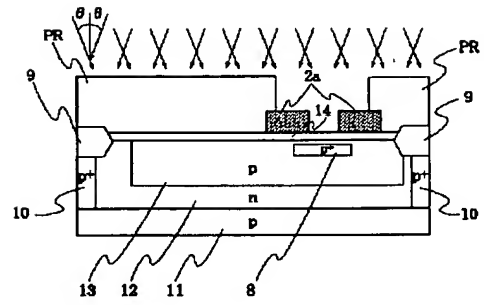
【図12】



【図17】



【図11】



【図16】

